

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCS98 U.S. PTO
09/735555
12/14/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 4月 4日

出 願 番 号
Application Number:

特願2000-102455

出 願 人
Applicant(s):

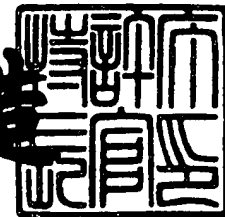
富士通株式会社
富士通ヴィエルエスアイ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 8月25日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3068061

【書類名】 特許願

【整理番号】 0040125

【提出日】 平成12年 4月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/0185

【発明の名称】 出力バッファ回路及び半導体装置

【請求項の数】 5

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

【氏名】 宇野 治

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100068755

【住所又は居所】 岐阜市大宮町 2 丁目 1 2 番地の 1

【弁理士】

【氏名又は名称】 恩田 博宣

【電話番号】 058-265-1810

【選任した代理人】

【識別番号】 100105957

【住所又は居所】 東京都渋谷区代々木二丁目 1 0 番 4 号 新宿辻ビル 8 階

【弁理士】

【氏名又は名称】 恩田 誠

【電話番号】 03-5365-3057

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 出力バッファ回路及び半導体装置

【特許請求の範囲】

【請求項 1】 第 1 の電源と第 2 の電源の間に直列に接続された第 1 及び第 2 の出力トランジスタを備え、各出力トランジスタの制御端子に印加する第 1 及び第 2 の制御信号のスルーレートを制御して両出力トランジスタの間からスルーレートを制御した外部出力信号を出力する出力バッファ回路において、

前記第 1 及び第 2 の出力トランジスタをオフ制御する場合には前記入力信号に基づいて前記第 1 及び第 2 の制御信号を生成し、

前記第 1 及び第 2 の出力トランジスタをオン制御する場合に前記入力信号と前記外部出力信号とに基づいて生成する前記第 1 及び第 2 の制御信号を、前記入力信号の変化に応答して急峻に立ち上げ又は立ち下げた後、所定時間経過した後は緩やかに立ち上げ又は立ち下げた後、それに応答した前記第 1 又は第 2 の出力トランジスタのレベルに基づいて前記第 1 及び第 2 の制御信号を急峻に立上げ又は立ち下げるようにしたことを特徴とする出力バッファ回路。

【請求項 2】 それぞれスイッチング素子と抵抗素子の並列回路を有し、前記第 1 及び第 2 の出力トランジスタをオフさせる場合には前記入力信号に基づいて前記第 1 及び第 2 の制御信号を生成し、前記第 1 及び第 2 の出力トランジスタをオンさせる場合には前記スイッチング素子のオンオフに基づいて前記第 1 及び第 2 の制御信号を生成する第 1 及び第 2 のスルーレート制御回路と、

前記入力信号の遅延信号を出力する遅延回路と、

前記信号生成回路は、前記遅延信号と前記外部出力信号とに基づいて前記第 1 及び第 2 のスルーレート制御回路のスイッチング素子をオンオフ制御する第 1 及び第 2 の信号を生成する信号生成回路と、

を備えたことを特徴とする請求項 1 に記載の出力バッファ回路。

【請求項 3】 前記信号生成回路は、

前記外部出力信号が入力されスレッシュホールド電圧が低く設定された第 1 のインバータ回路と、

前記外部出力信号が入力されスレッシュホールド電圧が高く設定された第 2 のイン

バータ回路と、

前記遅延信号と前記第 1 のインバータ回路の出力信号とが入力され、前記第 1 の信号を出力するナンド回路と、

前記遅延信号と前記第 2 のインバータ回路の出力信号とが入力され、前記第 2 の信号を出力するノア回路と
から構成されたことを特徴とする請求項 2 に記載の出力バッファ回路。

【請求項 4】 前記信号生成回路は、

前記外部出力信号が入力され、ヒステリシス特性を有するシュミットインバータ回路と、

前記遅延信号と前記シュミットインバータ回路の出力信号とが入力され、前記第 1 の信号を出力するナンド回路と、

前記遅延信号と前記シュミットインバータ回路の出力信号とが入力され、前記第 2 の信号を出力するノア回路と
から構成されたことを特徴とする請求項 2 に記載の出力バッファ回路。

【請求項 5】 請求項 1 乃至 4 のうちの何れか一項に記載の出力バッファ回路を備えた半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に用いられるスルーレート制御型出力バッファ回路に関するものである。

【0002】

半導体装置には、スルーレート制御型出力バッファ回路が設けられているものがある。この出力バッファ回路は、出力駆動用トランジスタのゲート入力波形の傾き（スルーレート）を調整する機能を有し、出力信号変化時の消費電流を低減する目的などに使用される。

【0003】

近年、半導体装置は、動作周波数が高速化しており、それに伴って入出力の周波数が高い仕様が設定されるようになってきている。そのため、仕様の変更に応

じて低速から高速まで幅広い周波数帯域に対応できる出力バッファ回路が求められている。

【 0 0 0 4 】

【従来の技術】

図 6 は、スルーレート制御型出力バッファ回路の従来例を示す回路図である。

この出力バッファ回路 1 1 は、出力駆動用トランジスタ（単に出力トランジスタという） $T 1$ 、 $T 2$ と、それらを外部入力信号 $V I N$ に応答してオン・オフ制御するスルーレート制御回路（単に制御回路という）1 2、1 3 及び遅延回路 1 4 を備えている。

【 0 0 0 5 】

第 1 出力トランジスタ $T 1$ と、 N チャネル $M O S$ トランジスタからなる第 2 出力トランジスタ $T 2$ は、高電位電源 $V D D$ と低電位電源 $V S S$ の間に直列接続され、それらトランジスタ $T 1$ 、 $T 2$ のドレインから外部出力信号 $V O U T$ が出力される。即ち、第 1 出力トランジスタ $T 1$ は P チャネル $M O S$ トランジスタからなり、ソースが高電位電源 $V D D$ に接続され、ドレインが出力端子 1 5 に接続され、ゲートに第 1 制御回路 1 2 から制御信号 $V P$ が印加される。第 2 出力トランジスタ $T 2$ は、ソースが低電位電源 $V S S$ に接続され、ドレインが出力端子 1 5 に接続され、ゲートに第 2 制御回路 1 3 から制御信号 $V N$ が印加される。

【 0 0 0 6 】

第 1 制御回路 1 2 は、高電位電源 $V D D$ と低電位電源 $V S S$ の間に直列接続された $P M O S$ トランジスタ $T 1 1$ 及び $N M O S$ トランジスタ $T 1 2$ 、 $T 1 3$ と、その第 3 トランジスタ $T 1 3$ に並列接続された $N M O S$ トランジスタ $T 1 4$ とから構成されている。第 1 トランジスタ $T 1 1$ のソースは高電位電源 $V D D$ に接続され、ドレインは第 2 トランジスタ $T 1 2$ のドレインに接続され、両トランジスタ $T 1 1$ 、 $T 1 2$ のゲートには外部入力信号 $V I N$ が印加されている。第 2 トランジスタ $T 1 2$ のソースは第 3 トランジスタ $T 1 3$ のドレインに接続され、第 3 トランジスタ $T 1 3$ のソースは低電位電源 $V S S$ に接続されている。第 4 トランジスタ $T 1 4$ はオン抵抗値が大きく設定され、ゲートは高電位電源 $V D D$ に接続され、常時オン状態になって抵抗素子として機能する。

【 0 0 0 7 】

第 2 制御回路 1 3 は、高電位電源 V_{DD} と低電位電源 V_{SS} の間に直列接続された PMOS トランジスタ T_{21} 、 T_{22} 及び NMOS トランジスタ T_{23} と、その第 1 トランジスタ T_{21} に並列接続された PMOS トランジスタ T_{24} とから構成されている。第 1 トランジスタ T_{21} のソースは高電位電源 V_{DD} に接続され、ドレインは第 2 トランジスタ T_{22} のソースに接続され、両トランジスタ T_{21} 、 T_{22} のゲートには外部入力信号 V_{IN} が印加されている。第 2 トランジスタ T_{22} のドレインは第 3 トランジスタ T_{23} のドレインに接続され、第 3 トランジスタ T_{23} のソースは低電位電源 V_{SS} に接続されている。第 4 トランジスタ T_{24} はオン抵抗が大きく設定され、ゲートは低電位電源 V_{SS} に接続され、常時オン状態になって抵抗素子として機能する。

【 0 0 0 8 】

遅延回路 1 4 はインバータ回路よりなり、入力端子には外部入力信号 V_{IN} が印加され、出力端子は第 1 制御回路 1 2 の第 3 トランジスタ T_{13} のゲートと第 2 制御回路 1 3 の第 1 トランジスタ T_{21} のゲートに接続されている。

【 0 0 0 9 】

上記のように構成された出力バッファ回路 1 1 は、以下のように動作する。

(1) 外部入力信号 V_{IN} が L レベル (低電位電源 V_{SS} レベル) から H レベル (高電位電源 V_{DD} レベル) に変化する時、それに応答して、第 2 制御回路 1 3 の第 2 トランジスタ T_{22} は直ちにオフし、第 3 トランジスタ T_{23} はオンするため、制御信号 V_N は H レベルから L レベルへと急速に立ち下がる。よって、出力トランジスタ T_2 は直ちにオフする。

【 0 0 1 0 】

同様に、外部入力信号 V_{IN} の変化に応答して、第 1 制御回路 1 2 の第 1 トランジスタ T_{11} は直ちにオフし、第 2 トランジスタ T_{12} はオンするが、第 3 トランジスタ T_{13} のゲートには遅延回路 1 4 から遅延された外部入力信号 V_{IN} が印加され、所定時間変化前の H レベルが印加される。そのため、第 3 トランジスタ T_{13} は遅延回路 1 4 の遅延時間分オンし、図 7 に※印で示すように、制御信号 V_P を H レベルから急速に立ち下げる。そして、所定時間経過後に、遅延回

路 1 4 の出力が H レベルから L レベルに変化し第 3 トランジスタ T 1 3 がオフするため、その後はオン抵抗の大きい第 4 トランジスタ T 1 4 が制御信号 V P を緩やかに立ち下げる。

【 0 0 1 1 】

よって、第 1 出力トランジスタ T 1 が完全にオンするまでの時間は、第 2 出力トランジスタ T 2 がオフする時間よりも長くなり、外部出力信号 V O U T が L レベルから H レベルへと変化する波形は、通常の C M O S インバータ出力に比べて緩やかになる。

【 0 0 1 2 】

(2) 外部入力信号 V I N が H レベルから L レベルに変化する時、それに応答して、第 1 制御回路 1 2 の第 2 トランジスタ T 1 2 は直ちにオフ、T 1 1 はオンするため、制御信号 V P は L レベルから H レベルへと急速に立ち上がる。よって、第 1 出力トランジスタ T 1 は直ちにオフする。

【 0 0 1 3 】

同様に、外部入力信号 V I N の変化に応答して、第 2 制御回路 1 3 の第 3 トランジスタ T 2 3 は直ちにオフし、第 2 トランジスタ T 2 2 はオンするが、第 1 トランジスタ T 2 1 のゲートには遅延回路 1 4 から遅延された外部入力信号 V I N が印加され、所定時間変化前の L レベルが印加される。そのため、第 1 トランジスタ T 2 1 は遅延回路 1 4 の遅延時間分オンし、図 7 に※印で示すように、制御信号 V N を L レベルから急速に立ち上げる。そして、所定時間経過後に、遅延回路 1 4 の出力が L レベルから H レベルに変化し第 1 トランジスタ T 2 1 がオフするため、その後はオン抵抗の大きい第 4 トランジスタ T 2 4 が制御信号 V N を緩やかに立ち上げる。

【 0 0 1 4 】

よって、第 2 出力トランジスタ T 2 が完全にオンするまでの時間は、第 1 出力トランジスタ T 1 がオフする時間よりも長くなり、外部出力信号 V O U T が H レベルから L レベルへと変化する波形は、通常の C M O S インバータ出力に比べて緩やかになる。

【 0 0 1 5 】

図 7 は、各制御信号 V_P 、 V_N 、外部出力信号 V_{OUT} の波形及び出力トランジスタ T_1 、 T_2 に流れるスイッチング電流 I の波形を示す。

図 7 に示すように、外部出力信号 V_{OUT} が L レベルから H レベルに変化する時、制御信号 V_P 、 V_N が図のように変化することにより出力トランジスタ T_1 、 T_2 が同時にオン状態になるのを防ぐ。また、外部出力信号 V_{OUT} が H レベルから L レベルに変化するときも同様である。よって、スイッチング時に出力トランジスタ T_1 、 T_2 に流れる電流 I は極めて少なくなるため、この出力バッファ回路 11 は低消費電流型であると言える。

【0016】

また、前記回路動作説明の通り、スイッチング時に第 1 制御回路 12 の第 3 トランジスタ T_{13} と第 2 制御回路 13 の第 1 トランジスタ T_{21} を遅延回路 14 の遅延時間分オンさせている影響で、制御信号 V_P 、 V_N は図の※印部分のように急峻な動作をする。この動作時間（つまり遅延回路 14 の遅延時間）は、制御信号 V_P 、 V_N のレベルが出力トランジスタ T_1 、 T_2 のスレッシュド電圧に達するまでの時間にあわせているため、外部出力信号 V_{OUT} の立ち上がり及び立ち下がり反応が早まり、出力バッファ回路 11 の伝播遅延時間 T_{pd} を小さくする効果がある。

【0017】

ただし、外部出力信号 V_{OUT} のスルーレートが通常の CMOS インバータ出力に比べて緩やかになるため、この出力バッファ回路 11 は低速（低周波数）なデータ転送に向いている。

【0018】

【発明が解決しようとする課題】

しかしながら、仕様変更等によりこの出力バッファ回路 11 にて高い周波数のデータ転送を行う必要がある。しかし、制御信号 V_P 、 V_N の変化が高い周波数に追従できず、フルスイング出来なくなる。例えば、図 8 (a) に示す外部入力信号 V_{IN} に対して、図 8 (b) に示すように、制御信号 V_P 、 V_N が H レベル及び L レベルに到達する前に次の外部入力信号 V_{IN} の変化が起きる。その結果、図 8 (c) に示すように、外部出力信号 V_{OUT} が H レベル（高電位電源 V_{DD}

レベル)まで到達しなくなってしまう。これにより、外部入力信号VINのHレベルパルス幅W1に比べて外部出力信号VOUTのHレベルパルス幅W2が小さく所定のパルス幅を確保できなくなってしまうデータ転送に誤りを引き起す場合がある。そして、プロセス・温度・電源電圧のばらつき(PTVばらつき)は、更にパルス幅W2を縮めるように作用し、動作不良を引き起す。

【0019】

また、現在の動作速度よりも低速な仕様に対応しようとした場合、制御信号VP、VNの電圧を出力トランジスタT1、T2のスレッシュホールド電圧付近から中間電位を長く維持するように変更する必要がある。このことは、現在の動作速度又はそれ以上の場合に、上記と同様の問題を引き起す。

【0020】

本発明は上記問題点を解決するためになされたものであって、その目的は動作周波数の変更に対応することができるスルーレート制御型出力バッファ回路を提供することにある。

【0021】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明は、第1の電源と第2の電源の間に直列に接続された第1及び第2の出力トランジスタを備え、各出力トランジスタの制御端子に印加する第1及び第2の制御信号のスルーレートを制御して両出力トランジスタの間からスルーレートを制御した外部出力信号を出力する出力バッファ回路において、前記第1及び第2の出力トランジスタをオフ制御する場合には前記入力信号に基づいて前記第1及び第2の制御信号を生成し、前記第1及び第2の出力トランジスタをオン制御する場合に前記入力信号と前記外部出力信号とに基づいて生成する前記第1及び第2の制御信号を、前記入力信号の変化に応答して急峻に立ち上げ又は立ち下げた後、所定時間経過した後は緩やかに立ち上げ又は立ち下げた後、それに応答した前記第1又は第2の出力トランジスタのレベルに基づいて前記第1及び第2の制御信号を急峻に立上げ又は立ち下げるようにした。

【0022】

このように、外部出力信号のレベルに基づいて、第 1 及び第 2 の制御信号を緩やかに立ち上げ又は立ち下げている途中で急峻に立ち上げ又は立ち下げるようにしたため、第 1 及び第 2 の制御信号が短時間で H レベル及び L レベルまで変化してフルスイングする。それにより、外部出力信号がフルスイングする。

【 0 0 2 3 】

請求項 2 に記載の発明のように、それぞれスイッチング素子と抵抗素子の並列回路を有し、前記第 1 及び第 2 の出力トランジスタをオフさせる場合には前記入力信号に基づいて前記第 1 及び第 2 の制御信号を生成し、前記第 1 及び第 2 の出力トランジスタをオンさせる場合には前記スイッチング素子のオンオフに基づいて前記第 1 及び第 2 の制御信号を生成する第 1 及び第 2 のスルーレート制御回路と、前記入力信号の遅延信号を出力する遅延回路と、前記信号生成回路は、前記遅延信号と前記外部出力信号とに基づいて前記第 1 及び第 2 のスルーレート制御回路のスイッチング素子をオンオフ制御する第 1 及び第 2 の信号を生成する信号生成回路とが備えられる。

【 0 0 2 4 】

信号生成回路は、請求項 3 に記載の発明のように、前記外部出力信号が入力されスレッシュホールド電圧が低く設定された第 1 のインバータ回路と、前記外部出力信号が入力されスレッシュホールド電圧が高く設定された第 2 のインバータ回路と、前記遅延信号と前記第 1 のインバータ回路の出力信号とが入力され、前記第 1 の信号を出力するナンド回路と、前記遅延信号と前記第 2 のインバータ回路の出力信号とが入力され、前記第 2 の信号を出力するノア回路とから構成される。

【 0 0 2 5 】

信号生成回路は、請求項 4 に記載の発明のように、前記外部出力信号が入力され、ヒステリシス特性を有するシュミットインバータ回路と、前記遅延信号と前記シュミットインバータ回路の出力信号とが入力され、前記第 1 の信号を出力するナンド回路と、前記遅延信号と前記シュミットインバータ回路の出力信号とが入力され、前記第 2 の信号を出力するノア回路とから構成される。

【 0 0 2 6 】

半導体装置には、請求項 5 に記載の発明のように、請求項 1 乃至 4 のうちの何

れか一項に記載の出力バッファ回路が備えられる。

【 0 0 2 7 】

【発明の実施の形態】

（第一実施形態）

以下、本発明を具体化した第一実施形態を図 1 ～図 3 に従って説明する。

【 0 0 2 8 】

尚、説明の便宜上、図 6 の従来例と同様の構成については同一の符号を付してその説明を一部省略する。

図 1 は、本実施形態のスルーレート制御型出力バッファ回路の回路図である。

【 0 0 2 9 】

この出力バッファ回路 3 1 は、第 1 及び第 2 出力駆動用トランジスタ（単に出カトランジスタという） T_1 、 T_2 と、それらを外部入力信号 V_{IN} に応答してオン・オフ制御する第 1 及び第 2 スルーレート制御回路（単に制御回路という）1 2、1 3、遅延回路 3 2 及び信号生成回路 3 3 を備えている。

【 0 0 3 0 】

外部入力信号 V_{IN} は遅延回路 3 2 に入力される。本実施形態の遅延回路 3 2 はバッファ回路よりなり、従来例の遅延回路 1 4 と同じ遅延時間だけ外部入力信号 V_{IN} を遅延させた遅延信号 S_D を信号生成回路 3 3 に出力する。

【 0 0 3 1 】

信号生成回路 3 3 には、前記遅延信号 S_D とともに外部出力信号 V_{OUT} が入力される。信号生成回路 3 3 は、第 1 及び第 2 インバータ回路 3 4、3 5、ナンド回路 3 6 及びノア回路 3 7 から構成されている。

【 0 0 3 2 】

第 1 及び第 2 インバータ回路 3 4、3 5 には外部出力信号 V_{OUT} が入力されている。第 1 インバータ回路 3 4 は低いスレッシュホールド電圧 V_{t1} （出力バッファ回路 3 1 の L レベル出力インタフェース規格である V_{OL_max} 程度）を持ち、それにより外部出力信号 V_{OUT} を論理反転した信号 S_1 をナンド回路 3 6 に出力する。この信号 S_1 は、外部出力信号 V_{OUT} がスレッシュホールド電圧 V_{t1} より大きい間 L レベルである。

【 0 0 3 3 】

ナンド回路 3 6 は第 1 インバータ回路 3 4 からの信号 S 1 と遅延信号 S D が入力され、出力端子は第 1 制御回路 1 2 のスイッチング素子としての第 3 トランジスタ T 1 3 のゲートに接続されている。ナンド回路 3 6 は、信号 S 1 と遅延信号 S D を否定論理積演算して生成した信号 S 2 を第 3 トランジスタ T 1 3 のゲートに印加する。

【 0 0 3 4 】

この信号 S 2 は、遅延信号 S D の立ち上がり即ち外部入力信号 V I N の立ち上がりから所定時間経過後から、信号 S 1 の立ち下がり即ち外部出力信号 V O U T がスレッシュホールド電圧 V_{t1} よりも高くなるまでの間、L レベルとなる。この信号 S 2 に応答して N M O S トランジスタよりなる第 3 トランジスタ T 1 3 がオン・オフする。

【 0 0 3 5 】

従って、第 3 トランジスタ T 1 3 は、遅延信号 S D の立ち上がりから信号 S 1 が立ち下がるまでの間オフする。言換えれば、信号生成回路 3 3 は、外部入力信号 V I N の立ち上がりから所定時間第 3 トランジスタ T 1 3 をオンさせ、一旦第 3 トランジスタ T 1 3 をオフさせた後、外部出力信号 V O U T のレベルに応じて再び第 3 トランジスタ T 1 3 をオンさせる。

【 0 0 3 6 】

この第 3 トランジスタ T 1 3 のオン・オフは、制御信号 V P の立ち下がり波形、ひいては外部出力信号 V O U T の立ち上がり波形を決定する。即ち、第 3 トランジスタ T 1 3 がオンしている間、制御信号 V P は急峻な立ち下がり波形となり、第 3 トランジスタ T 1 3 がオフしている間は抵抗素子として機能する第 4 トランジスタ T 1 4 のオン抵抗により緩やかに変化する。これにより、外部出力信号 V O U T は、先ず外部入力信号 V I N の立ち上がり時に第 3 トランジスタ T 1 3 がオンすることで急速に動作開始点に達し、次に第 3 トランジスタ T 1 3 がオフすることで緩やかに立ち上がり、そしてスレッシュホールド電圧 V_{t1} を越えると第 3 トランジスタ T 1 3 が再びオンすることで急速に H レベルまで立ち上がる。

【 0 0 3 7 】

第2インバータ回路35は高いスレッシュホールド電圧 V_{t2} （出力バッファ回路31のHレベル出力インタフェース規格である V_{OH_min} 程度）を持ち、それにより外部出力信号 V_{OUT} を論理反転した信号 S_3 をノア回路37に出力する。この信号 S_3 は外部出力信号 V_{OUT} がインバータ回路35のスレッシュホールド電圧 V_{t2} より小さい間Hレベルである。

【0038】

ノア回路37は第2インバータ回路35からの信号 S_3 と遅延信号 S_D が入力され、出力端子は第2制御回路13のスイッチング素子としての第1トランジスタ T_{21} のゲートに接続されている。ノア回路37は、信号 S_3 と遅延信号 S_D を否定論理和演算して生成した信号 S_4 を第1トランジスタ T_{21} のゲートに印加する。

【0039】

この信号 S_4 は、遅延信号 S_D の立ち下がり即ち外部入力信号 V_{IN} の立ち下がりから所定時間経過後から、信号 S_3 の立ち上がり即ち外部出力信号 V_{OUT} がスレッシュホールド電圧 V_{t2} よりも低くなるまでの間、Hレベルとなる。この信号 S_4 に応答してPMOSトランジスタよりなる第1トランジスタ T_{21} がオン・オフする。

【0040】

従って、第1トランジスタ T_{21} は、遅延信号 S_D の立ち下がりから信号 S_3 が立ち上がるまでの間オフする。言換えれば、信号生成回路33は、外部入力信号 V_{IN} の立ち下がりから所定時間第1トランジスタ T_{21} をオンさせ、一旦第1トランジスタ T_{21} をオフさせた後、外部出力信号 V_{OUT} のレベルに応じて再び第1トランジスタ T_{21} をオンさせる。

【0041】

この第1トランジスタ T_{21} のオン・オフは、制御信号 V_N の立ち上がり波形、ひいては外部出力信号 V_{OUT} の立ち下がり波形を決定する。即ち、第3トランジスタ T_{13} がオンしている間、制御信号 V_N は急峻な立ち上がり波形となり、第1トランジスタ T_{21} がオフしている間は抵抗素子として機能する第4トランジスタ T_{24} のオン抵抗により緩やかに変化する。これにより、外部出力信号

VOUTは、先ず外部入力信号VINの立ち下がり時に第1トランジスタT21がオンすることで急速に動作開始点に達し、次に第1トランジスタT21がオフすることで緩やかに立ち下がり、そしてスレッシュホールド電圧Vt2を越えると第1トランジスタT21が再びオンすることで急速にLレベルまで立ち下がる。

【0042】

次に、上記のように構成された出力バッファ回路31の作用を図2に従って説明する。

(1) 外部入力信号VINがLレベルからHレベルに変化するとき、第2制御回路13の第2トランジスタT22は直ちにオフし、第3トランジスタT23はオンするため、制御信号VNはHレベルからLレベルへと急速に立ち下がる。よって、第2出力トランジスタT2は直ちにオフする。

【0043】

一方、第1制御回路12の第1トランジスタT11は直ちにオフし、第2トランジスタT12はオンするが、第3トランジスタT13のオン・オフはナンド回路36の出力信号S2に依存する。そのナンド回路36には、遅延回路32を通じて外部入力信号VINの遅延信号SDが入力されるが、外部入力信号VINの変化直後は遅延作用により変化前のLレベルが印加されており、ナンド回路36には第1インバータ回路34を通じてHレベルの信号S1が入力されるため、その結果、第3トランジスタT13はゲートに入力されるHレベルの信号S2にตอบสนองしてオンする。よって、第3トランジスタT13は、制御信号VPをHレベルからLレベルへと急速に立ち下げようとする。

【0044】

ここで、遅延回路32の遅延時間は、制御信号VPがHレベルから第1出力トランジスタT1のスレッシュホールド電圧に達するまでの時間に設定されているため、やがて制御信号VPがその電圧に達すると遅延回路32の出力はLレベルからHレベルに変化し、ナンド回路36の出力はHレベルからLレベルに変化する。従って、第3トランジスタT13もオフし、オン抵抗の極めて大きい第4トランジスタT14が制御信号VPを緩やかに立ち下げ、それに従って外部出力信号VOUTが緩やかに立ち上がり始める。

【 0 0 4 5 】

その後、外部出力信号 V_{OUT} が第 1 インバータ回路 3 4 のスレッシュホールド電圧 V_{t1} まで上昇すると、インバータ回路 3 4 の出力は H レベルから L レベルに変化するため、ナンド回路 3 6 の出力は再び L レベルから H レベルに変化し、第 3 トランジスタ T_{13} がオンする。故に、オンした第 3 トランジスタ T_{13} によって再び制御信号 V_P は急速に立ち下がり、L レベルに達する。それにより、外部出力信号 V_{OUT} も急速に H レベルまで立ち上がる。

【 0 0 4 6 】

(2) 外部入力信号 V_{IN} が H レベルから L レベルに変化するとき、第 1 制御回路 1 2 の第 2 トランジスタ T_{12} は直ちにオフし、第 1 トランジスタ T_{11} はオンするため、制御信号 V_P は L レベルから H レベルへと急速に立ち上がる。よって、第 1 出力トランジスタ T_1 は直ちにオフする。

【 0 0 4 7 】

一方、第 2 制御回路 1 3 の第 3 トランジスタ T_{23} は直ちにオフし、第 2 トランジスタ T_{22} はオンするが、第 1 トランジスタ T_{21} のオン・オフはノア回路 3 7 の出力信号 S_4 に依存する。そのノア回路 3 7 には、遅延回路 3 2 を通じて外部入力信号 V_{IN} の遅延信号 S_D が入力されるが、外部入力信号 V_{IN} の変化直後は遅延作用により変化前の H レベルが印加されており、ノア回路 3 7 には第 2 インバータ回路 3 5 を通じて L レベルの信号 S_3 が入力されるため、その結果第 1 トランジスタ T_{21} はゲートに入力される L レベルの信号 S_4 に応答してオンする。よって、第 1 トランジスタ T_{21} は、制御信号 V_N を L レベルから H レベルへと急速に立ち上げようとする。

【 0 0 4 8 】

ここで、遅延回路 3 2 の遅延時間は、制御信号 V_N が L レベルから第 2 出力トランジスタ T_2 のスレッシュホールド電圧に達するまでの時間に設定されているため、やがて制御信号 V_N がその電圧に達すると遅延回路 3 2 の出力は H レベルから L レベルに変化し、ノア回路 3 7 の出力は L レベルから H レベルに変化する。従って、第 1 トランジスタ T_{21} もオフし、オン抵抗の極めて大きい第 4 トランジスタ T_{24} が制御信号 V_N を緩やかに立ち上げ、それにより、外部出力信号 V_O

UTも緩やかに立ち下がり始める。

【0049】

その後、外部出力信号VOU Tがインバータ回路35のスレッシュホールド電圧V_{t2}まで下降すると、インバータ回路35の出力はLレベルからHレベルに変化するため、ノア回路37の出力は再びHレベルからLレベルに変化し、第1トランジスタT21がオンする。故に、オンした第1トランジスタT21によって再び制御信号VNは急速に立ち上がり、Hレベルに達する。それにより、外部出力信号VOU Tも急速にLレベルまで立ち下がる。

【0050】

この様に、第1及び第2制御回路12, 13及び信号生成回路33は、制御信号VP, VNを外部出力信号VOU Tのレベルに応じて急峻に立ち上げ又は立ち下げる。このため、PTVばらつきの影響は、制御信号VP, VN及び外部出力信号VOU Tの立ち上がり及び立ち下がり位置を時間的に変更するのみにとどまる。そのため、パルス幅はPTVばらつきの影響を受けない。

【0051】

また、制御信号VP, VN及び外部出力信号VOU Tをフルスイングさせることができるため、この出力バッファ回路31は、高速な（高い周波数にて）データ転送に対応することが出来る。

【0052】

例えば、図3（a）に示すように、Hレベルパルス幅W_aの短い外部入力信号VINが入力されると、それに応答して制御信号VP, VNを次に信号が変化するまでにレベル又はLレベルまで確実に到達させ、これにより制御信号VP, VNがフルスイングする。その結果、図3（c）に示すように、外部出力信号VOU Tがフルスイングし、外部入力信号VINのHレベルパルス幅W_aとほぼ等しいパルス幅W_bが確保される。

【0053】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

（1）入力信号VINに基づいて第1及び第2出力トランジスタT1, T2のオン・オフ状態を切替えるときに、制御信号VP（又はVN）に基づいて出力ト

ランジスタ T 1（又は T 2）を直ちにオフさせ、制御信号 V N（又は V P）を緩やかに変化させて出力ランジスタ T 2（又は T 1）をオンさせるようにした。その結果、第 1 及び第 2 出力ランジスタ T 1，T 2 が同時にオン状態にならないため、出力ランジスタ T 1，T 2 に流れる電流（貫通電流）は極めて少なくなり、消費電流を低減することが出来る。

【 0 0 5 4 】

（2）遅延回路 3 2 の遅延時間分だけ第 1 及び第 2 制御回路 1 2，1 3 のランジスタ T 1 3，T 2 1 をオンさせるようにしたため、制御信号 V P，V N の立ち上がりが急峻な波形となる。これにより、外部出力信号 V O U T の立ち上がり及び立ち下がり反応を速めることができ、出力バッファ回路 3 1 の伝播遅延時間 T p d を速めることができる。

【 0 0 5 5 】

（3）外部出力信号 V O U T のレベルに基づいて、制御信号 V P，V N を緩やかに立ち上げ又は立ち下げている途中で急峻に立ち上げ又は立ち下げるようにした。その結果、制御信号 V P，V N を短時間で H レベル及び L レベルまで変化させてフルスイングさせることができ、それにより外部出力信号 V O U T をフルスイングさせることができる。このため、高速な（周波数の高い）データ転送にも対応すること出来、広い周波数帯域を持つ出力バッファ回路 3 1 を提供することができる。

【 0 0 5 6 】

（4）制御信号 V P，V N 及び外部出力信号 V O U T をフルスイングさせることができるため、P T V ばらつき等の要因によるパルス幅の変化を極めて少なく抑え、入力信号 V I N のパルス幅とほぼ同じパルス幅を持つ外部出力信号 V O U T を出力することができる。

【 0 0 5 7 】

（5）外部出力信号 V O U T を低いスレッシュホールド電圧（バッファの L 出力インタフェース規格 V O L _ m a x 程度）の第 1 インバータ回路 3 4 と、高いスレッシュホールド電圧（バッファの H 出力インタフェース規格 V O H _ m i n 程度）の第 2 インバータ回路 3 5 にて帰還するようにしたため、外部出力信号 V O U T の

HレベルあるいはLレベル付近で波形の変曲点が現れる、即ち中間電位付近での変曲は無いので、ノイズ等による受信側とのインタフェース障害の可能性を少なくすることができる。

【0058】

(第二実施形態)

以下、本発明を具体化した第二実施形態を図4、図5に従って説明する。

尚、説明の便宜上、第一実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0059】

図4は、本実施形態の出力バッファ回路の回路図である。

出力バッファ回路41は、第1及び第2出力駆動用トランジスタ（単に出力トランジスタという）T1、T2と、それらを外部入力信号VINに応答してオン・オフ制御する第1及び第2スルーレート制御回路（単に制御回路という）12、13、遅延回路32及び信号生成回路42を備えている。

【0060】

信号生成回路42は、ナンド回路36、ノア回路37及びシュミットインバータ回路43により構成され、インバータ回路43には外部出力信号VOUTが入力されている。このインバータ回路43はヒステリシス特性を持ち、それにより外部出力信号VOUTを論理反転して生成した信号S11をナンド回路36及びノア回路37に出力する。

【0061】

このインバータ回路43のヒステリシス幅は広く、L側スレッショルド電圧VtLは出力バッファ回路41のLレベル出力インタフェース規格VOL__max程度に設定され、H側スレッショルド電圧VtHはHレベル出力インタフェース規格VOH__min程度に設定されている。

【0062】

次に、上記のように構成された出力バッファ回路41の作用を図5に従って説明する。

(1) 外部入力信号VINがLレベルからHレベルに変化するとき、制御信号

VPは、オン状態の第3トランジスタT13によりHレベルから第1出力トランジスタT1のスレッシュホールド電圧に達するまで急速に立ち下がり、その後第3トランジスタT13がオフすることで第4トランジスタT14のオン抵抗により緩やかに立ち下がる。それにより、外部出力信号VOUTも緩やかに立ち上がり始める。

【0063】

シュミットインバータ回路43のヒステリシス幅は広く、H側スレッシュホールド電圧VtHはバッファのH出力インタフェース規格VOH_min程度に設定している。よって、外部出力信号VOUTがその電圧に達するとシュミットインバータ回路43の出力はHレベルからLレベルに変化し、ナンド回路36の出力信号S12は再びLレベルからHレベルに変化し、第3トランジスタT13がオンする。故に、オンした第3トランジスタT13によって再び制御信号VPは急速に立ち下がり、Lレベルに達する。

【0064】

(2) 外部入力信号VINがHレベルからLレベルに変化するとき、オンした第1トランジスタT21により制御信号VNはLレベルから第2出力トランジスタT2のスレッシュホールド電圧に達するまで急速に立ち上がり、その後第1トランジスタT21がオフすることで第4トランジスタT24のオン抵抗により緩やかに立ち上がる。それにより、外部出力信号VOUTも緩やかに立ち下がり始める。

【0065】

シュミットインバータ回路43のヒステリシス幅は広く、L側スレッシュホールド電圧VtLはバッファのL出力インタフェース規格VOL_max程度に設定している。よって、外部出力信号VOUTがその電圧に達するとシュミットインバータ回路43の出力はLレベルからHレベルに変化し、ノア回路37の出力信号S13は再びLレベルからHレベルに変化し、第1トランジスタT21がオンする。故に、オンした第1トランジスタT21によって再び制御信号VNは急速に立ち上がり、Hレベルに達する。

【0066】

以上記述したように、本実施の形態によれば、上記第一実施形態の効果に加えて、以下の効果を奏する。

(1) 低速かつ緩やかなスルーレートの最大・最小規格を定義した外部インタフェース仕様に準拠する場合、シュミットインバータ回路のヒステリシス幅及びスレッシュホールド電圧や、遅延回路の遅延時間を調整することによって、制御信号 V_P 、 V_N の急峻→鈍化→急峻と変化するそれぞれのポイントを調整し、規格を満足できる外部出力信号 V_{OUT} のスルーレートを作り出すことができる。

【0067】

尚、前記実施形態は、以下の態様に変更してもよい。

○上記各実施形態は非反転型出力バッファ回路に具体化した但、反転型出力バッファ回路に具体化してもよい。その構成例として、例えば入力端子の直後にインバータ回路を挿入接続する、又は第1及び第2制御回路12、13、遅延回路32、及び信号生成回路33の構成を適宜変更して実施する。このように構成しても、上記各実施形態と同様の作用効果を奏する。

【0068】

【発明の効果】

以上詳述したように、本発明によれば、出力トランジスタの制御端子に供給する制御信号を外部出力信号のレベルに基づいて緩やかに変化する途中から急峻に変化させることで、制御信号及び外部出力信号をフルスイングさせることができ、動作周波数の変更に対応することができるスルーレート制御型出力バッファ回路を提供することができる。

【図面の簡単な説明】

【図1】 第一実施形態の出力バッファ回路の回路図である。

【図2】 出力バッファ回路の動作波形図である。

【図3】 周波数が高い場合の動作波形図である。

【図4】 第二実施形態の出力バッファの回路図である。

【図5】 出力バッファ回路の動作波形図である。

【図6】 従来の出力バッファ回路の回路図である。

【図7】 従来回路の動作波形図である。

【図 8】 周波数が高い場合の動作波形図である。

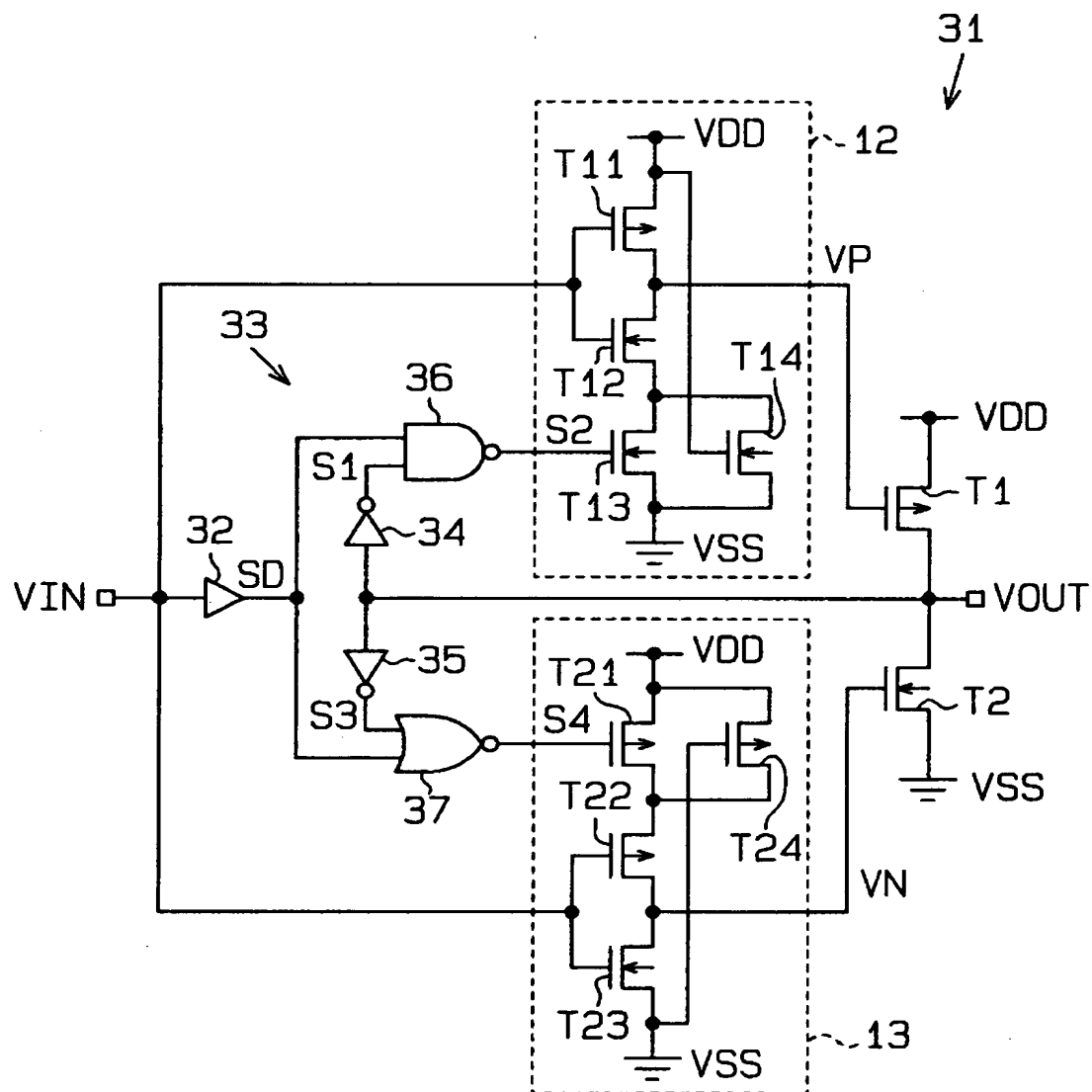
【符号の説明】

- 1 2 第 1 スルーレート制御回路
- 1 3 第 2 スルーレート制御回路
- 3 2 遅延回路
- 3 3, 4 2 信号生成回路
- 3 4 第 1 インバータ回路
- 3 5 第 2 インバータ回路
- 4 3 シュミットインバータ回路
- S 2, S 1 2 第 1 の信号
- S 4, S 1 3 第 2 の信号
- T 1 第 1 出力駆動用トランジスタ
- T 2 第 2 出力駆動用トランジスタ
- V I N 入力信号
- V O U T 外部出力信号
- V P 第 1 の制御信号
- V N 第 2 の制御信号

【書類名】 図面

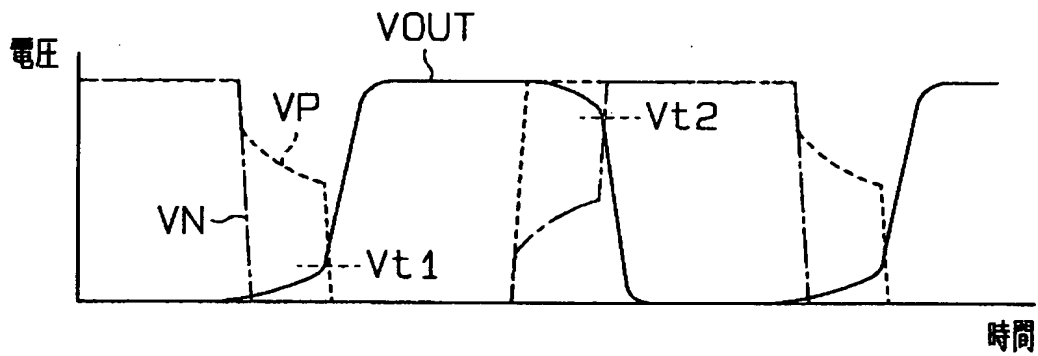
【図 1】

第一実施形態の出力バッファ回路の回路図



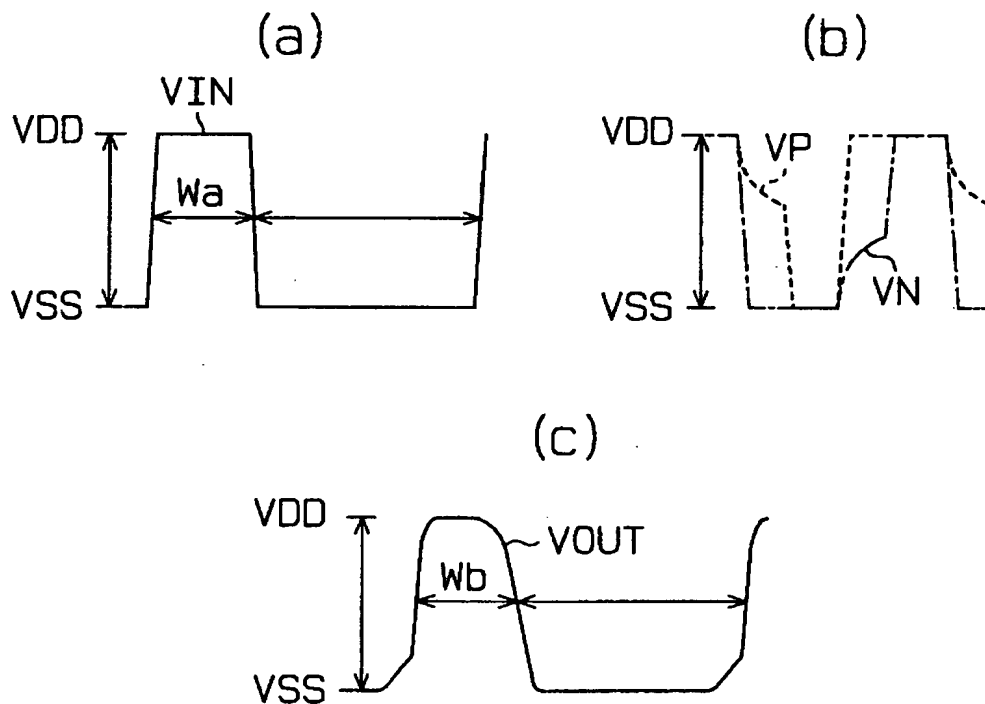
【図 2】

出力バッファ回路の動作波形図



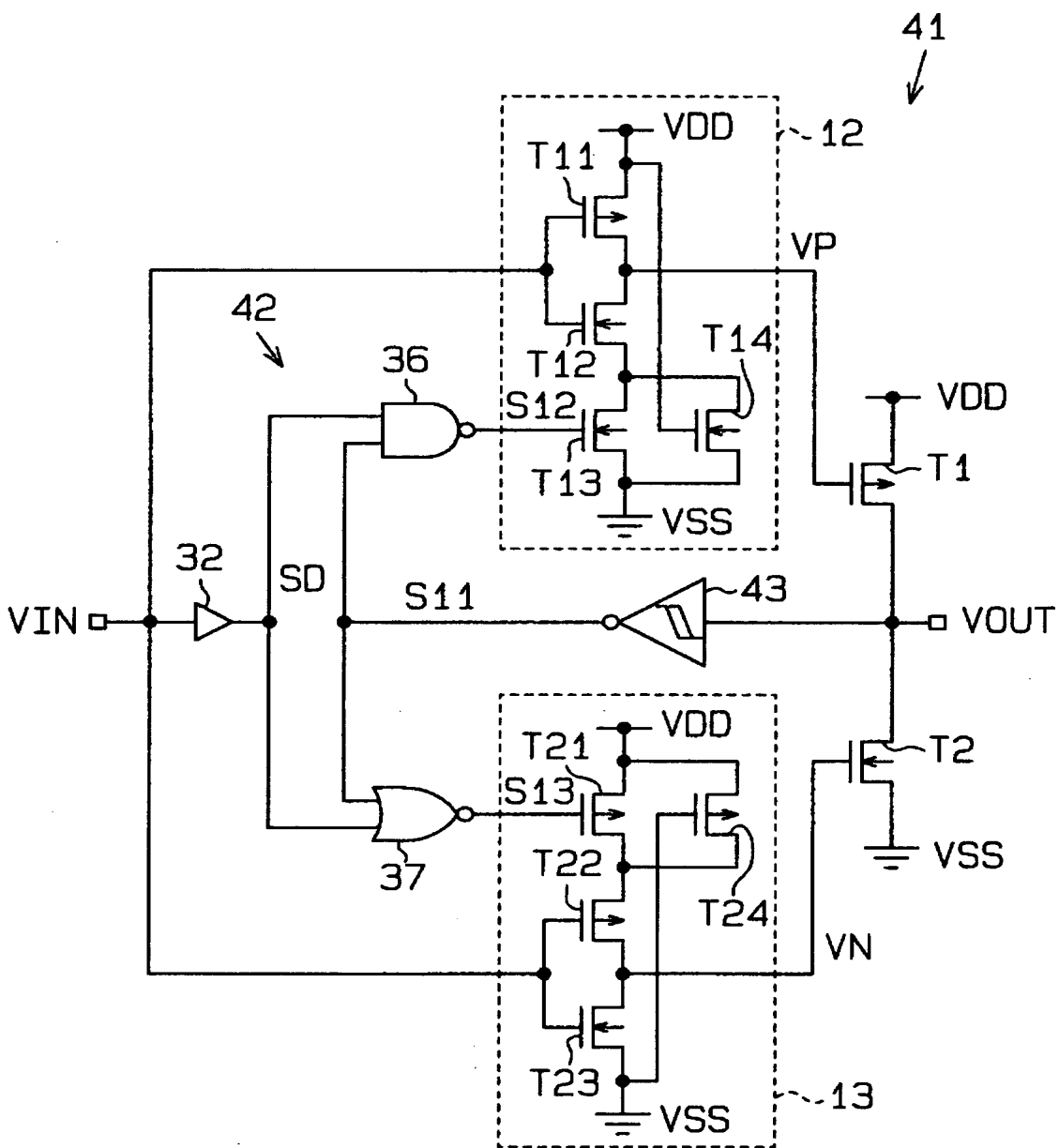
【図 3】

周波数が高い場合の動作波形図

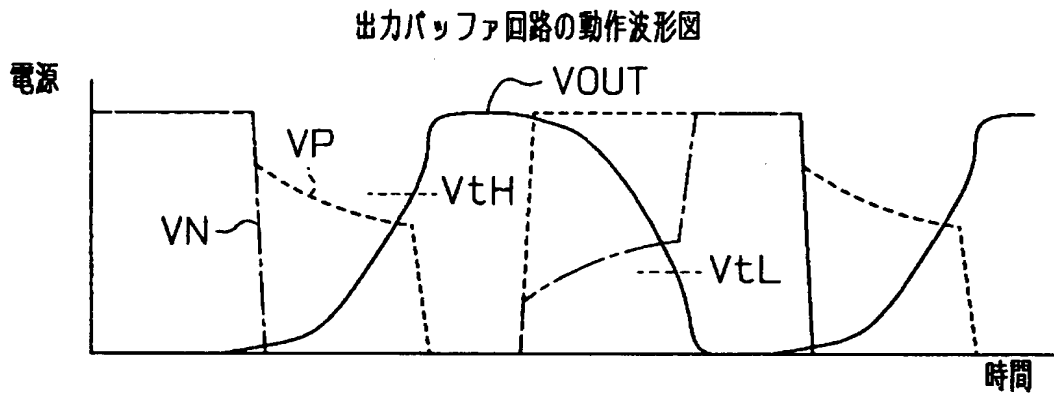


【図 4】

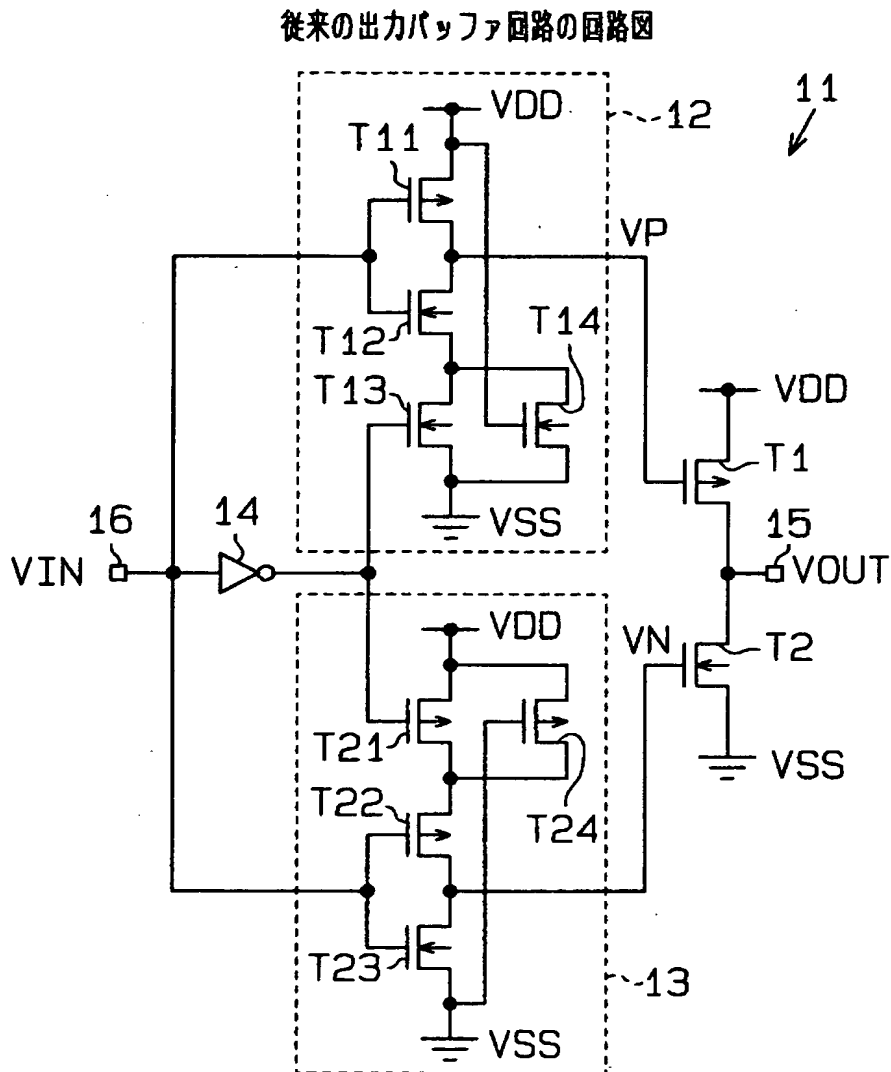
第二実施形態の出力バッファ回路の回路図



【図 5】

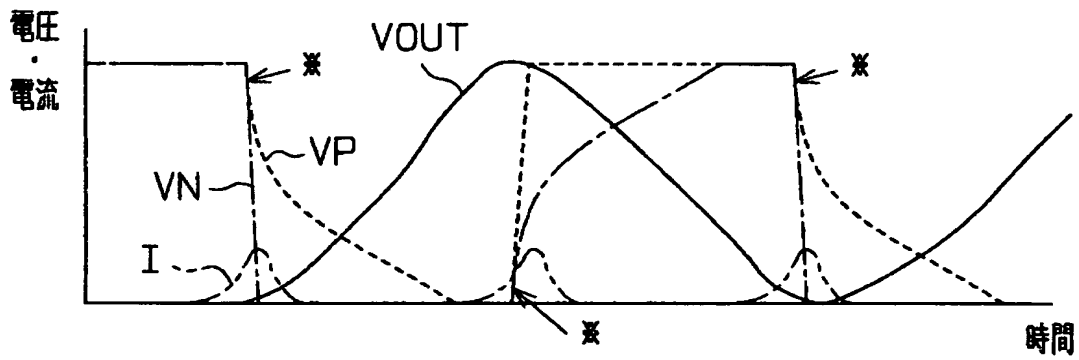


【図 6】



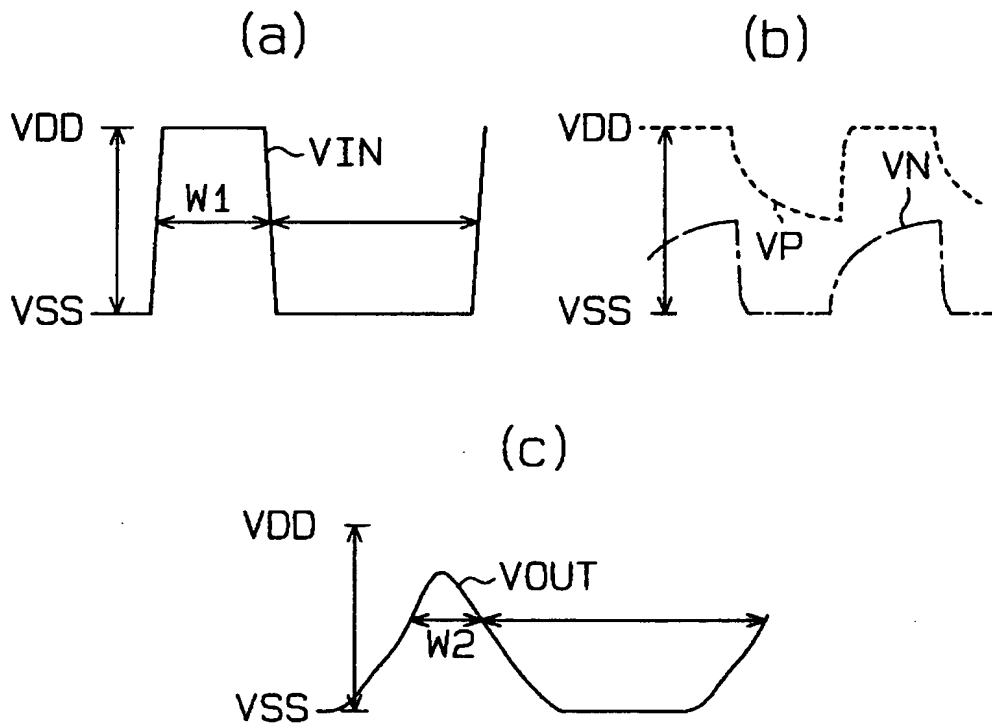
【図 7】

従来回路の動作波形図



【図 8】

周波数が高い場合の動作波形図



【書類名】 要約書

【要約】

【課題】 動作周波数の変更に対応することができるスルーレート制御型出力バッファ回路を提供すること。

【解決手段】 第 1 及び第 2 スルーレート制御回路 1 2, 1 3 及び信号生成回路 3 3 は、入力信号 V I N に基づいて第 1 及び第 2 出力トランジスタ T 1, T 2 のオン・オフ状態を切替えるときに、制御信号 V P (又は V N) に基づいて出力トランジスタ T 1 (又は T 2) を直ちにオフさせ、制御信号 V N (又は V P) を緩やかに変化させて出力トランジスタ T 2 (又は T 1) をオンさせる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社